

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-352073

(43)Date of publication of application : 21.12.2001

(51)Int.Cl.

H01L 29/786  
H01L 21/336  
H01L 21/20  
H01L 21/322  
H01L 21/3205  
H01L 21/8238  
H01L 27/092  
H01L 27/08

(21)Application number : 2001-091569

(71)Applicant : SEMICONDUCTOR ENERGY LAB  
CO LTD  
SHARP CORP

(22)Date of filing : 28.03.2001

(72)Inventor : NAKAJIMA SETSUO  
MAKITA NAOKI

(30)Priority

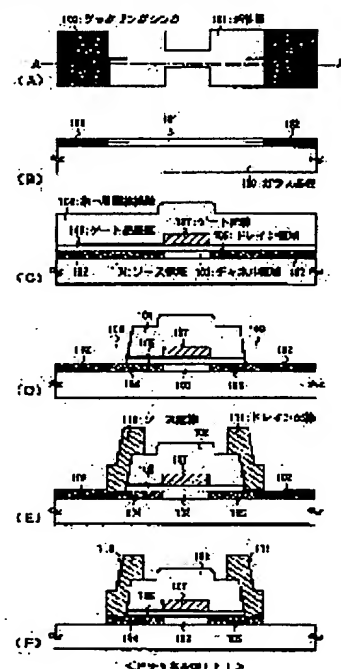
Priority number : 2000101576 Priority date : 03.04.2000 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a liquid crystal display which has a high degree of integration of TFT and has a satisfactory productivity and high reliability by efficiently gettering elements of a catalyst for accelerating the crystallization of an amorphous silicon film from a channel region.

**SOLUTION:** The liquid crystal display can be manufactured by combining formation of a gettering sink outside a p-channel type TFT region and a process of self-alignedly removing a part of a region, where the elements of a catalyst are getterred that is located outside the TFT region, by a source interconnection or drain interconnection.



## LEGAL STATUS

[Date of request for examination] 26.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-352073

(P2001-352073A)

(43) 公開日 平成13年12月21日 (2001. 12. 21)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 29/786

H 0 1 L 21/20

21/336

21/322

R

21/20

27/08

3 3 1 E

21/322

29/78

6 2 7 Z

21/3205

21/88

Z

審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2001-91569 (P2001-91569)

(71) 出願人 000153878

(22) 出願日 平成13年 3 月 28 日 (2001. 3. 28)

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(31) 優先権主張番号 特願2000-101576 (P2000-101576)

(71) 出願人 000005049

シャープ株式会社

(32) 優先日 平成12年 4 月 3 日 (2000. 4. 3)

大阪府大阪市阿倍野区長池町22番22号

(33) 優先権主張国 日本 (J P)

(72) 発明者 中嶋 節男

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 牧田 直樹

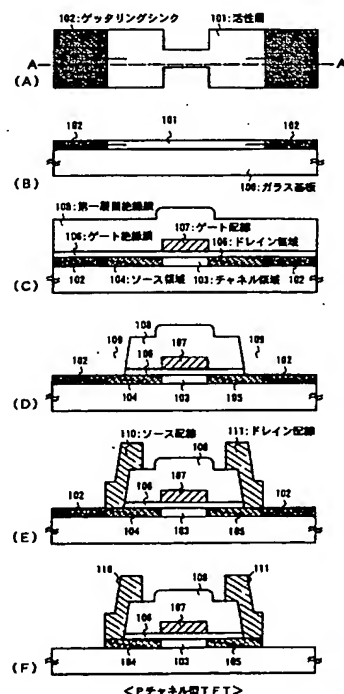
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 非晶質珪素膜の結晶化を助長する触媒元素をチャネル領域から効率よくゲッタリングし、T F Tの集積度が高く、生産性がよくかつ信頼性の高い液晶表示装置を作製する。

【解決手段】 Pチャネル型T F T領域の外側にゲッタリングシンクを設けることと、触媒元素をゲッタリングさせた領域の内、T F T領域の外側に設けられている領域をソース配線あるいはドレイン配線により自己整合的に除去する工程とを組み合わせることにより、上記課題を解決できる。



BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

## 【特許請求の範囲】

【請求項 1】活性層、ゲート絶縁膜、ゲート電極を含む TFT を有する半導体装置において、

各 TFT を電気的に接続する配線は、前記活性層に接続されており、

前記配線の端面の一部と前記活性層の端面とが揃っている領域を含むことを特徴とする半導体装置。

【請求項 2】活性層、ゲート絶縁膜、ゲート電極を含む TFT を有する半導体装置において、

各 TFT を電気的に接続する配線は、前記活性層のソース領域またはドレイン領域に接続されており、

前記配線の端面の一部と前記活性層の端面とが揃っている領域を含むことを特徴とする半導体装置。

【請求項 3】絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第 2 の工程と、

加熱処理により前記非晶質膜を結晶化させる第 3 の工程と、

前記第 3 の工程で得られた珪素を含む半導体膜に対して周期表の 15 族に属する元素を選択的に添加する第 4 の工程と、

加熱処理により前記周期表の 15 族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第 5 の工程と、を有し、

前記第 4 の工程における周期表の 15 族に属する元素が添加されるのは、P チャネル型 TFT 領域の外側であることを特徴とする半導体装置の作製方法。

【請求項 4】絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第 2 の工程と、

加熱処理により前記非晶質膜を結晶化させる第 3 の工程と、

前記第 3 の工程で得られた珪素を含む半導体膜に対してレーザー光あるいは強光を照射する第 4 の工程と、

前記第 4 の工程で得られた珪素を含む半導体膜に対して周期表の 15 族に属する元素を選択的に添加する第 5 の工程と、

加熱処理により前記周期表の 15 族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第 6 の工程と、を有し、

前記第 5 の工程における周期表の 15 族に属する元素が添加されるのは、P チャネル型 TFT 領域の外側であることを特徴とする半導体装置の作製方法。

【請求項 5】絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第 2 の工程と、

加熱処理により前記非晶質膜を結晶化させる第 3 の工程

と、

前記第 3 の工程で得られた珪素を含む半導体膜に対して周期表の 15 族に属する元素を P チャネル型 TFT 領域の外側に選択的に添加する第 4 の工程と、

加熱処理により前記周期表の 15 族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第 5 の工程と、を有し、

前記第 5 の工程における触媒元素をゲッタリングさせた領域の内、TFT 領域の外側に設けられた領域は、ソース配線もしくはドレイン配線をマスクとして自己整合的に除去されることを特徴とする半導体装置の作製方法。

【請求項 6】絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第 1 の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第 2 の工程と、

加熱処理により前記非晶質膜を結晶化させる第 3 の工程と、

前記第 3 の工程で得られた珪素を含む半導体膜に対してレーザー光あるいは強光を照射する第 4 の工程と、

前記第 4 の工程で得られた珪素を含む半導体膜に対して周期表の 15 族に属する元素を P チャネル型 TFT 領域の外側に選択的に添加する第 5 の工程と、

加熱処理により前記周期表の 15 族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第 6 の工程と、を有し、

前記第 6 の工程における触媒元素をゲッタリングさせた領域の内、TFT 領域の外側に設けられた領域は、ソース配線あるいはドレイン配線をマスクとして自己整合的に除去されることを特徴とする半導体装置の作製方法。

【請求項 7】請求項 3 乃至請求項 6 のいずれかにおいて、前記触媒元素としては Ni、Co、Fe、Pd、Pt、Cu もしくは Au から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 8】請求項 3 乃至請求項 6 のいずれかにおいて、前記周期表の 15 族に属する元素として、N、P、As、Sb、もしくは Bi から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、珪素を含む非晶質半導体膜を結晶化して形成された結晶性半導体膜を利用した半導体装置およびその作製方法に係り、特に基板上に薄膜トランジスタ (Thin Film Transistor: TFT) を形成したアクティブマトリクス基板の作製方法に関する。

【0002】

【従来の技術】近年、半導体プロセスの低温化が進められている。その大きな理由は安価で加工性に富んだガラ

ス等の絶縁基板上にTF Tを形成する必要が生じたことにある。また半導体プロセスにおいて、半導体材料に含まれる非晶質成分もしくは非晶質半導体材料を結晶化させること、もしくは結晶性をより向上させることがTF Tの動作速度にとって必要とされている。

【0003】すでにガラス基板上に結晶性珪素膜を得るための技術として、特開平7-130652号公報記載の技術が開示されている。これは非晶質珪素膜に対して結晶化を助長する触媒元素を添加し、加熱処理を行うことにより結晶性珪素膜を形成するというものである。

【0004】この技術は触媒元素の作用により、非晶質珪素膜の結晶化温度を50~100℃も引き下げることが可能であり、結晶化に要する時間も1/5~1/10にまで低減することができる。また、この技術によって得られる結晶性珪素膜は優れた結晶性を有することが実験的に確かめられている。

【0005】しかし、前記触媒元素として用いられるニッケル、コバルト等の金属元素は珪素膜中に深い準位を形成してキャリアを捕獲してしまうため、得られた結晶性珪素膜を用いてTF Tを作製した場合、TF Tの活性層中に前記触媒元素が不規則に偏析することが確認されている。前記偏析部分がTF Tのチャネル領域（チャネルが形成される領域）や高抵抗領域（例えばオフセット領域と呼ばれる部分）にあると、微弱な電流の逃げ道（リークパス）になり、オフ電流（TF Tがオフ状態にある時の電流）の突発的な増加を招く原因になると考えられる。

【0006】従って、結晶化後は触媒元素を速やかに除去するか、あるいは電氣的に影響しない程度にまで低減することが望ましい。このための手段としては、ゲッタリング効果を利用した技術を用いることができる。

【0007】このゲッタリングを用いて触媒元素を除去または低減する技術としては、例えば特開平11-54760号公報に開示されている。同公報記載の実施例1および実施例2における技術は、図3のようにリンを含み触媒元素を捕獲するゲッタリング領域（以後ゲッタリングシンクという）302をTF T周辺に設け、触媒元素のゲッタリング後にこれを除去するものである。

【0008】この方法では、TF Tの半導体層の周囲にゲッタリング領域302が設けられているためパターンニングマージンが大きい、反面、TF Tを構成する半導体層の面積効率が低下し集積度の向上が困難になるという問題点がある。

【0009】一方、実施例3、実施例4および実施例5における技術は、集積度を上げるために、ソース領域およびドレイン領域をゲッタリングシンクとして機能させるものである。

【0010】この方法は、図4に示すようにゲート配線409および410をマスクとして自己整合的にゲッタリングシンク403~406を設ける方法であり、TF

T411あるいは412の領域の外側にゲッタリングシンクを設ける必要がなく面積効率は低下しないが、Pチャネル型TF T411のソース領域403およびドレイン領域405にはゲッタリングのためのリンが大量にドーピングされるため、P型半導体を形成するにはソース領域403およびドレイン領域405により多くのボロンをドーピングする必要がある。

【0011】このため、ドーピング工程におけるスループットの低下、もしくはソース領域およびドレイン領域の結晶性の改善が困難になることがあるという問題もあった。このように、N型付与のドーピングがなされた領域に対しキャリア反転のために行うP型付与のドーピングは、クロスドーピングもしくはカウンタドーピングと呼ばれる。

【0012】

【発明が解決しようとする課題】上述したように、触媒元素をチャネル領域から除去するゲッタリング工程は、前記結晶性珪素膜を用いたTF Tを作製する際に有効なプロセスとなっている。このため、前記ゲッタリング工程をより効率良く行う必要性が高まっている。

【0013】ゲッタリングシンクをTF Tの周囲に設けると、面積効率が低下しTF Tの集積度を高めることができなかった。発明における第1の課題は、半導体層の面積効率を低下させることなくチャネル領域の触媒元素をゲッタリングすることである。

【0014】またゲッタリングサイトの形成のためにPチャネルTF Tのソース領域およびドレイン領域にクロスドーピングを行うと、ドーピング工程のスループットは低下してしまっていた。第2の課題は、ドーピング工程のスループットを低下させることなくチャネル領域の触媒元素をゲッタリングすることである。

【0015】そして、上記第1の課題及び第2の課題をすべて解決することにより、触媒元素はチャネル領域から効率よくゲッタリングされ、TF Tの集積度が高く、生産性がよくかつ信頼性の高い半導体装置を作製することを課題とする。また、同時に、本発明を用いて液晶表示装置を作製することによって、その液晶表示装置を用いた電気器具の品質および信頼性をも向上させることを課題とする。

【0016】

【課題を解決するための手段】上記課題を解決するため、本発明者らはまずPチャネル型TF TにおいてはTF T領域の外側に設けられたゲッタリングシンクによって、活性層に含まれる触媒元素をゲッタリングすることを考えた。ここでいうTF T領域とは、ソース領域、ドレイン領域およびチャネル領域が占める領域を指す。

【0017】ゲッタリングシンクをTF T領域の外側に設けると、クロスドーピングを行う必要がなくドーピング工程のスループットを向上させることができる。しかし同時に、ゲッタリングシンクをTF T領域の外側に設

けることにより、前述のように活性層の面積効率を低下させてしまう問題が発生する。

【0018】そこで、本発明者らは、Pチャネル型TFT領域の外側にゲッタリングシンクを設けることと、触媒元素をゲッタリングさせた領域のうち、TFT領域の外側に設けられている領域をソース配線あるいはドレイン配線により自己整合的に除去する工程とを組み合わせることを考えた。自己整合的にゲッタリングシンクを除去することにより、パターンングの合わせマージンが必要なくなるため、面積効率を損なわずにゲッタリングを行うことができる。

【0019】このように、本発明は触媒元素を用いて結晶化された結晶性珪素膜に対して前記触媒元素を膜中から効率よくゲッタリングすることを目的としており、具体的には周期表の15族に属する元素を前記結晶性珪素膜に選択的に添加し、加熱処理を行う工程に関するものである。前記加熱処理は、ファーネスアニール（電熱炉内での加熱処理）によって行われるが、レーザーアニールもしくはランプアニール等の加熱手段を用いることも可能である。

【0020】ここで、結晶化を助長する触媒元素としてはNi（ニッケル）、Co（コバルト）、Fe（鉄）、Pd（パラジウム）、Pt（白金）、Cu（銅）もしくはAu（金）の元素が用いられる。本出願人の実験では、ニッケルが最も適した元素であることが判明している。

【0021】また、本発明において、ゲッタリングシンクを形成する際に添加される周期表の15族に属する元素としては、N（窒素）、P（リン）、As（砒素）、Sb（アンチモン）、Bi（ビスマス）が挙げられ、特に顕著な作用効果を示すのはリンであり、次いで砒素であることが判明している。

【0022】なお、本明細書において、活性層とは、チャネル形成領域、ソース領域およびドレイン領域を含めた半導体層のことをさす。

【0023】

【発明の実施の形態】上記手段を実施するための構成を図1に示す。図1はPチャネル型TFTの作製工程であり、図1（A）はゲッタリング工程での上面図を示し、図1（A）におけるA-A'断面図を図1（B）に示す。

【0024】まず、活性層101は触媒元素を用いて結晶化され、これに隣り合った領域に周期表の15族に属する元素を添加しゲッタリングシンク102を形成する。さらに、窒素雰囲気中で加熱処理を行い活性層101に含まれる触媒元素をゲッタリングシンク102にゲッタリングする（図1（B））。

【0025】次に、図1（C）のようにゲート絶縁膜106、ゲート配線107および第1層間絶縁膜108を形成する。このとき、活性層101にはチャネル領域1

03、ソース領域104およびドレイン領域105を公知の方法で形成しておく。さらに、第1層間絶縁膜108およびゲート絶縁膜106をエッチングし、前記ソース領域およびドレイン領域に電氣的に導通をとるためのスルーホール（開孔部）109を形成する（図1（D））。

【0026】さらに、ソース配線110およびドレイン配線111を形成する（図1（E））。ここでソース配線1107およびドレイン配線111をマスクとして自己整合的にゲッタリングシンク102をエッチングし除去する（図1（F））。

【0027】自己整合的にゲッタリングシンク102を除去することにより、面積効率を損なわずにゲッタリングを行うことができる。加えて、クロスドーピング工程が不要であるためドーピング工程のスループットを向上させることができる。また、本構成はゲッタリングシンク102が活性層101（TFT領域）の両側に形成されているが、面積効率を考慮して片側のみに形成することも可能である。

【0028】他の構成について図2を使って説明する。図2は、隣り合ったNチャネル型TFTおよびPチャネル型TFTの作製工程であり、図2（A）はゲッタリング工程での上面図を示し、図2（A）におけるA-A'断面図を図2（B）に示す。

【0029】本構成でも、まず活性層201および202は触媒元素を用いて結晶化され、さらに周期表の15族に属する元素を選択的に添加しゲッタリングシンク203、204および205を形成する。ここで、窒素雰囲気中で加熱処理を行い活性層201および202に含まれる触媒元素をゲッタリングシンク203もしくは204にゲッタリングする（図2（B））。

【0030】前記ゲッタリングシンク204および205は、活性層202のソース領域およびドレイン領域であり、またゲッタリングシンク203は活性層201および202とに挟まれた領域に形成されるため、活性層の面積効率を低下させることがない。

【0031】次に、ゲート絶縁膜210、ゲート配線211および212、並びに第1層間絶縁膜213を形成する。このとき、活性層201にはチャネル領域207、ソース領域208およびドレイン領域209を形成し、同様に活性層202にはチャネル領域206、ソース領域205およびドレイン領域204を形成しておく。（図2（C））

【0032】さらに、第1層間絶縁膜213およびゲート絶縁膜210をエッチングし、前記ソース領域205および208又はドレイン領域204および209に電氣的に導通をとるためのスルーホール部（開孔部）214～216を形成する（図2（D））。

【0033】さらに、ソース配線217および220並びにドレイン配線218および219を形成する（図2

(E))。ここでドレイン配線 218 および 219 をマスクとして自己整合的にゲッタリングシンク 203 をエッチング除去する。このエッチング工程により、配線 218、219 の端面の一部と活性層 201、202 の端面が揃う (図 2 (F))。

【0034】本構成においても、自己整合的にゲッタリングシンク 203 を除去することにより、パターンニングの合わせマージンを最小限にでき、面積効率を損なわずにゲッタリングを行うことができる。また、クロスドーピング工程が不要となるためドーピング工程のスループットが向上する。

【0035】本発明は、触媒元素を用いて結晶化された結晶性珪素膜に対して前記触媒元素を膜中から除去するプロセス (工程) に対して実施することが可能である。また、そのような工程を含む素子形成技術に対して実施することが可能である。

【0036】具体的には、TFT などの半導体素子を基板上に形成する際、本発明を実施することができる。勿論、半導体素子を基板上に形成して半導体装置を作製する際にも本発明は実施できる。

【0037】

【実施例】〔実施例 1〕本発明の実施例について図 5～図 7 を用いて説明する。ここでは、半導体装置の画素部およびその周辺に設けられる駆動回路の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路では、シフトレジスタ、バッファ等の基本回路である CMOS 回路およびトランスファゲートを形成する N チャネル型 TFT を図示することとする。

【0038】図 5 (A) において、基板 500 には、ガラス基板や石英基板を使用することができる。その他にもシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを基板としても良い。耐熱性が許せばプラスチック基板を用いることも可能である。

【0039】そして、基板 500 の TFT が形成される表面には、珪素 (シリコン) を含む絶縁膜からなる下地膜 501 を形成する。本実施例では、下地膜 501 として、200 nm 厚の窒化酸化珪素膜を形成する。

【0040】次に、連続して下地膜 501 の上に 20～100 nm の厚さの、非晶質半導体膜 (本実施例では非晶質珪素膜 (アモルファスシリコン膜)) 502 を公知の成膜法で形成する。なお、非晶質半導体膜としては、非晶質珪素膜以外にも、非晶質シリコンゲルマニウム膜などの非晶質の化合物半導体膜を用いることもできる。

【0041】そして、特開平 7-130652 号公報に記載された技術に従って結晶構造を含む半導体膜 (本実施例では結晶質珪素膜) 503 を形成する。同公報記載の技術は、非晶質珪素膜の結晶化に際して、結晶化を助長する触媒元素 (ニッケル、コバルト、ゲルマニウム、錫、鉛、パラジウム、鉄、銅から選ばれた一種または複

数の元素、代表的にはニッケル) を用いる結晶化手段である。

【0042】具体的には、非晶質珪素膜表面に触媒元素を保持させた状態で加熱処理を行い、非晶質珪素膜を結晶質珪素膜に変化させるものである。本実施例では同公報の実施例 1 に記載された技術を用いるが、実施例 2 に記載された技術を用いてもよい。なお、結晶質珪素膜にはいわゆる単結晶シリコン膜も多結晶シリコン膜も含まれるが、本実施例で形成される結晶質珪素膜は結晶粒界を有する珪素膜である。

【0043】また、前記触媒元素を非晶質珪素膜に添加する方法としては、プラズマドーピング法、蒸着法もしくはスパッタ法等の気相法、もしくは触媒元素を含有する溶液を塗布する方法が採用できる。溶液を用いる方法は、触媒元素の添加量の制御が容易であり、極微量な添加も容易に行える。

【0044】非晶質珪素膜は含有水素量にもよるが、好ましくは 400～550℃で数時間加熱して脱水素処理を行い、含有水素量を 5 atom% 以下として結晶化の工程を行うことが望ましい。また、非晶質珪素膜をスパッタ法や蒸着法などの他の作製法で形成しても良いが、膜中に含まれる酸素、窒素、などの不純物元素を十分に低減させておくことが望ましい。

【0045】次に、結晶質珪素膜 503 に対してレーザーから発する光 (レーザー光) を照射する (図 5

(B))。レーザーとしては、パルス発振型または連続発振型のエキシマレーザーを用いれば良いが、連続発振型のアルゴンレーザーでも良い。または Nd:YAG レーザーもしくは第 Nd:YVO<sub>4</sub> レーザーの 2 高調波、第 3 高調波または第 4 高調波を用いても良い。さらに、レーザー光のビーム形状は線状 (長方形状も含む) であっても矩形状であっても構わない。

【0046】また、レーザー光の代わりにランプから発する光 (ランプ光) を照射 (以下、ランプアニールという) しても良い。ランプ光としては、ハロゲンランプ、赤外ランプ等から発するランプ光を用いることができる。

【0047】なお、このようにレーザー光またはランプ光により熱処理 (アニール) を施す工程を光アニール工程という。光アニール工程は短時間で高温熱処理が行えるため、ガラス基板等の耐熱性の低い基板を用いる場合にも効果的な熱処理工程を高いスループットで行うことができる。勿論、目的はアニールであるので電熱炉を用いたファーンেসアニール (熱アニールともいう) で代用することもできる。

【0048】本実施例では、パルス発振型エキシマレーザー光を線状に加工してレーザーアニール工程を行う。レーザーアニール条件は、励起ガスとして XeCl ガスを用い、処理温度を室温、レーザーエネルギー密度を 250～500 mJ/cm<sup>2</sup> (代表的には 350～400 mJ/cm



m<sup>2</sup>) ショット数 5~10 とする。

【0049】上記条件で行われるレーザーアニール工程は、熱結晶化後に残存した非晶質領域を完全に結晶化すると共に、既に結晶化された結晶質領域の欠陥等を低減する効果を有する。そのため、本工程は光アニールにより半導体膜の結晶性を改善する工程、または半導体膜の結晶化を助長する工程と呼ぶこともできる。このような効果はランプアニールの条件を最適化することによっても得ることが可能である。

【0050】次に、結晶質珪素膜 503 上に後の不純物添加時のために保護膜 504 を形成する。保護膜 504 は 100~200 nm (好ましくは 130~170 nm) の厚さの窒化酸化珪素膜または酸化珪素膜を用いる。この保護膜 504 は不純物添加時に結晶質珪素膜 503 が直接プラズマに曝されないようにするため、微妙な濃度制御を可能にするための意味がある。

【0051】続いて、レジストマスク 505 を用いて選択的に P 型を付与する不純物元素 (以下、P 型不純物元素という) を保護膜 504 を介して添加する。P 型不純物元素としては、周期表の 13 族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程 (チャネルドープ工程という) は TFT のしきい値電圧を制御するための工程である。なお、ここではジボラン (B<sub>2</sub>H<sub>6</sub>) を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0052】この工程により  $1 \times 10^{15} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup> (代表的には  $5 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>3</sup>) の濃度で P 型不純物元素 (本実施例ではボロン) を含む不純物領域 506 を形成する。なお、本明細書中では少なくとも上記濃度範囲で P 型不純物元素を含む不純物領域を P 型不純物領域 (b) と定義する (図 5 (C))。

【0053】次に、レジストマスク 505 を除去し、新たにレジストマスク 507~512 を形成する。そして、N 型を付与する不純物元素 (以下、N 型不純物元素という) を添加して N 型を呈する不純物領域 514~518 を形成する。なお、N 型不純物元素としては、周期表の 15 族に属する元素、典型的にはリンまたは砒素を用いることができる (図 5 (D))。

【0054】この低濃度不純物領域 514~518 は、後に形成される N チャネル型 TFT において、LDD 領域として機能させるための不純物領域である。なお、ここで形成された不純物領域 514~518 には N 型不純物元素が  $2 \times 10^{16} \sim 5 \times 10^{19}$  atoms/cm<sup>3</sup> (代表的には  $5 \times 10^{17} \sim 5 \times 10^{18}$  atoms/cm<sup>3</sup>) の濃度で含まれている。本明細書中では上記濃度範囲で N 型不純物元素を含む不純物領域を N 型不純物領域 (b) と定義する。

【0055】なお、ここではフォスフィン (PH<sub>3</sub>) を質量分離しないでプラズマ励起したイオンドープ法でリ

ンを  $1 \times 10^{18}$  atoms/cm<sup>3</sup> の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程では、保護膜 504 を介して結晶質シリコン膜にリンを添加する。

【0056】次に、保護膜 504 を除去した後、結晶質珪素膜の不要な部分を除去して、島状の半導体膜 (以下、活性層という) 519~522 を形成する (図 5 (E))。

【0057】ここでレジストマスク 523~527 を形成する。そして、N 型不純物元素を添加して高濃度に N 型不純物元素を含む不純物領域 528~533 を形成する。N 型不純物元素としては、前記触媒元素として添加されるニッケルに対してゲッタリング効果の高いリンを用いる。ここでは、フォスフィン (PH<sub>3</sub>) を用いたイオンドープ法 (勿論、イオンインプランテーション法でも良い) で行い、この領域のリンの濃度は  $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> (代表的には  $2 \times 10^{20} \sim 5 \times 10^{21}$  atoms/cm<sup>3</sup>) とする。なお、本明細書中では上記濃度範囲で N 型不純物元素を含む不純物領域を N 型不純物領域 (a) と定義する (図 5 (F))。

【0058】その後、レジストマスク 523~527 を除去し、前述の触媒元素をゲッタリングするために熱処理工程を行う。この工程はファーンেসアニール法、レーザーアニール法、またはラピッドサーマルアニール法 (RTA 法) で行うことができる。ここではファーンেসアニール法で熱処理工程を行う。加熱処理は、窒素雰囲気中において 300~650℃、好ましくは 400~550℃、ここでは 550℃、4 時間の熱処理を行う (図 6 (A))。

【0059】この時、本実施例において非晶質珪素膜の結晶化に用いた触媒元素 (本実施例ではニッケル) が、矢印で示す方向に移動して、前述の図 5 (F) の工程で形成された高濃度にリンを含む領域 528~533 に捕獲 (ゲッタリング) される。これはリンによる金属元素のゲッタリング効果に起因する現象であり、この結果、後のチャネル形成領域 570~574 は前記触媒元素の濃度が  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 以下 (好ましくは  $1 \times 10^{16}$  atoms/cm<sup>3</sup> 以下) となる。

【0060】また逆に前記触媒元素のゲッタリングシンクとなった領域 (図 5 (F) の工程で形成された不純物領域 528~533) は高濃度に触媒元素が偏析して  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 以上 (代表的には  $1 \times 10^{19} \sim 5 \times 10^{20}$  atoms/cm<sup>3</sup>) の濃度で存在するようになる。

【0061】次に、活性層 519~522 を覆ってゲート絶縁膜 530 を形成する。ゲート絶縁膜 530 は、10~200 nm、好ましくは 50~150 nm の厚さに形成すれば良い。本実施例では、プラズマ CVD 法で N<sub>2</sub>O と SiH<sub>4</sub> を原料とした窒化酸化珪素膜を 115 nm の厚さに形成する (図 6 (B))。

【0062】次に、ゲート配線 535~538 として、

図示しないが厚さ50nmの窒化タングステン(WN)と厚さ350nmのタンタル(Ta)との2層の積層膜を形成する(図6(B))。ゲート配線は単層の導電膜で形成してもよいが、必要に応じて2層、3層といった積層膜とすることが好ましい。

【0063】また、本実施例では図6(B)に示すように、画素回路はダブルゲートとしている。ゲートのリーク対策としてマルチゲート方式を採用することは有効である。なお、ゲート配線としては、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、クロム(Cr)、シリコン(Si)から選ばれた元素、または前記元素を組み合わせた合金膜(代表的にはMo-W合金、Mo-Ta合金)を用いることができる。

【0064】次に、レジストマスク540を形成しゲート配線535をマスクとして自己整合的にP型不純物元素(本実施例ではボロン)を添加する。こうして形成された不純物領域541および542には前述のチャネルドープ工程で添加されたボロン濃度よりも5~10倍高い濃度(代表的には $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ 、典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$ )でボロンが添加されるように調節する。なお、本明細書中では上記濃度範囲でP型不純物元素を含む不純物領域をP型不純物領域(a)と定義する(図6(C))。

【0065】次に、レジストマスク540を除去した後、第1層間絶縁膜543を形成する。第1層間絶縁膜543としては、珪素を含む絶縁膜、具体的には窒化珪素膜、酸化珪素膜、窒化酸化珪素膜またはそれらを組み合わせた積層膜で形成すれば良い。また、膜厚は600nm~1.5μmとすれば良い。本実施例では、プラズマCVD法でSiH<sub>4</sub>、N<sub>2</sub>O、NH<sub>3</sub>を原料ガスとし、1μm厚の窒化酸化珪素膜(但し窒素濃度が25~50atomic%)を用いる。

【0066】その後、それぞれの濃度で添加されたN型またはP型不純物元素を活性化するために熱処理工程を行う。この工程もファーンズアニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)で行うことができる。ここではファーンズアニール法で活性化工程を行う。加熱処理は、窒素雰囲気中において300~650℃、好ましくは400~550℃、ここでは550℃、4時間の熱処理を行う(図6(D))。

【0067】さらに、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行い、活性層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0068】その後、TFTのソース領域及びドレイン

領域に達するスルーホール545~550を形成し(図6(E))、ソース配線551~554およびドレイン配線555~558を形成する(図7(A))。また、図示していないが、本実施例ではこの配線を、Ti膜を100nm、Tiを含むアルミニウム膜300nm、Ti膜150nmをスパッタ法で連続して形成した3層構造の積層膜とする。ここで、ソース配線およびドレイン配線551~558は、活性層のN型不純物元素が $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度で添加された領域に接続される。

【0069】次に、配線552および555~557をマスクとして自己整合的に結晶質珪素膜の不要な部分を除去して、活性層519~521を分離形成する(図7(B))。配線をマスクとして自己整合的に活性層519~521をエッチングし分離形成することにより、パターンングのズレ等のプロセスマージンを考慮せずにすむため活性層の面積効率を高めることが可能となる。このエッチング工程により、配線の端面の一部と活性層の端面とが揃う。

【0070】次に、パッシベーション膜560として、窒化珪素膜、酸化珪素膜、または窒化酸化珪素膜で50~500nm(代表的には200~300nm)の厚さで形成する。この時、本実施例では膜の形成に先立ってH<sub>2</sub>、NH<sub>3</sub>等水素を含むガスを用いてプラズマ処理を行い、成膜後に熱処理を行う。この前処理により励起された水素が第1層間絶縁膜中に供給され、この状態で熱処理を行うことで、パッシベーション膜560の膜質を改善するとともに、第1層間絶縁膜中に添加された水素が下方側に拡散するため、効果的に活性層を水素化することができる(図7(C))。

【0071】また、パッシベーション膜560を形成した後に、さらに水素化工程を行っても良い。例えば、3~100%の水素を含む雰囲気中で、300~450℃で1~12時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られる。なお、ここで後に画素電極564とドレイン配線558を接続するためのスルーホールを形成する位置において、パッシベーション膜560に開口部を形成しておいても良い。

【0072】次に、パッシベーション膜560上に有機樹脂からなる第2層間絶縁膜561を約1μmの厚さに形成する。有機樹脂としては、ポリイミド、アクリル樹脂、ポリアミド、ポリイミドアミド、BCB(ベンゾシクロブテン)等を使用することができる。有機樹脂膜を用いることの利点は、成膜方法が簡単である点や、比誘電率が低いので、寄生容量を低減できる点、平坦性に優れる点などが挙げられる。なお上述した以外の有機樹脂膜や有機系SiO<sub>2</sub>化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0073】次に、画素部となる領域において、第2層

間絶縁膜 561 上に遮蔽膜 562 を形成する。なお、本明細書中では光と電磁波を遮るという意味で遮蔽膜という文言を用いる。遮蔽膜 562 はアルミニウム (Al)、チタン (Ti)、タンタル (Ta) から選ばれた元素でなる膜またはいずれかの元素を主成分とする膜で 100~300 nm の厚さに形成する。本実施例では 1 wt% のチタンを含有させたアルミニウム膜を 125 nm の厚さに形成する。

【0074】なお図示しないが、第 2 層間絶縁膜 561 上に酸化シリコン膜等の絶縁膜を 5~50 nm 形成しておく、この上に形成する遮蔽膜の密着性を高めることができた。また、有機樹脂で形成した第 2 層間絶縁膜 561 の表面に CF<sub>4</sub> ガスを用いたプラズマ処理を施すと、表面改質により膜上に形成する遮蔽膜 562 との密着性を向上させることができる。

【0075】また、このチタンを含有させたアルミニウム膜を用いて、遮蔽膜だけでなく他の接続配線を形成することも可能である。例えば、駆動回路内で回路間をつなぐ接続配線を形成できる。但し、その場合は遮蔽膜または接続配線を形成する材料を成膜する前に、予め第 2 層間絶縁膜 561 にスルーホールを形成しておく必要がある。

【0076】その後、有機樹脂からなる第 3 層間絶縁膜 563 を約 0.5 μm の厚さに形成する。第 2 層間絶縁膜 561 と同様に、有機樹脂としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。なお上述した以外の有機樹脂膜や有機系 SiO<sub>2</sub> 化合物などを用いることもできる。ここでは、基板に塗布後、熱重合するタイプのポリイミドを用い、300℃で焼成して形成する。

【0077】次に、第 3 層間絶縁膜 563、第 2 層間絶縁膜 561 及びパッシベーション膜 560 にドレイン配線 558 に達するスルーホールを形成し、画素電極 564 および 565 を形成する。なお、画素電極 564、565 はそれぞれ隣接する別の画素の画素電極である。この画素電極 564、565 は、透過型液晶表示装置とする場合には透明導電膜を用い、反射型の液晶表示装置とする場合には金属膜を用いれば良い。ここでは透過型の液晶表示装置とするために、ITO (Indium Tin Oxide) 膜を 110 nm の厚さにスパッタ法で形成する (図 7 (D))。

【0078】こうして同一基板上に、駆動回路と画素部とを有するアクティブマトリクス基板が完成される。なお、図 7 (D) において、駆動回路には P チャネル型 TFT 566 並びに N チャネル型 TFT 567 および 568 が形成され、画素部には N チャネル型 TFT でなる画素 TFT 569 が形成される。

【0079】【実施例 2】本実施例では、実施例 1 で作製したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。図 8 に示

すように、図 7 (D) の状態の基板に対し、配向膜 1001 を形成する。本実施例では配向膜としてポリイミド膜を用いた。また、対向基板 1002 には、対向電極 1003 と、配向膜 1004 とを形成する。なお、対向基板には必要に応じてカラーフィルターや遮蔽膜を形成しても良い。

【0080】次に、配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにする。そして、画素回路と、駆動回路が形成されたアクティブマトリクス基板と対向基板とを、公知のセル組み工程によってシール材やスペーサ (共に図示せず) などを介して貼りあわせる。その後、両基板の間に液晶 1005 を注入し、封止剤 (図示せず) によって完全に封止する。液晶には公知の液晶材料を用いれば良い。このようにして図 8 に示すアクティブマトリクス型液晶表示装置が完成する。

【0081】次に、このアクティブマトリクス型液晶表示装置の構成を、図 9 の斜視図を用いて説明する。尚、図 9 は、図 5~図 7 の断面構造図と対応付けるため、共通の符号を用いている。アクティブマトリクス基板は、ガラス基板 500 上に形成された、画素部 1006 と、ゲート信号駆動回路 1007 と、画像 (ソース) 信号駆動回路 1008 で構成される。画素 TFT 569 は N チャネル型 TFT であり、周辺に設けられる駆動回路は CMOS 回路を基本として構成されている。ゲート信号駆動回路 1007 と、画像信号駆動回路 1008 はそれぞれゲート配線 538 とソース配線 554 で画素部 1006 に接続されている。また、FPC 1009 が接続された外部入出力端子 1010 から駆動回路の入出力端子までの接続配線 1011、1012 が設けられている。

【0082】【実施例 3】本発明を用いて作製した液晶表示装置は電気器具の表示部として用いることができる。そのような電気器具としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクション TV、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置などが挙げられる。それら電気器具の具体例を図 10 に示す。

【0083】図 10 (A) は携帯電話であり、本体 2001、音声出力部 2002、音声入力部 2003、表示部 2004、操作スイッチ 2005、アンテナ 2006 で構成される。本発明の液晶表示装置は表示部 2004 に用いることができる。

【0084】図 10 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 で構成される。本発明の液晶表示装置は表示部 2102 に用いることができる。

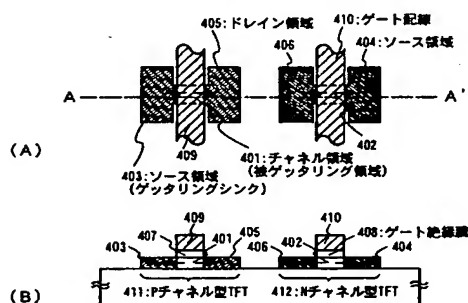
16

【0090】

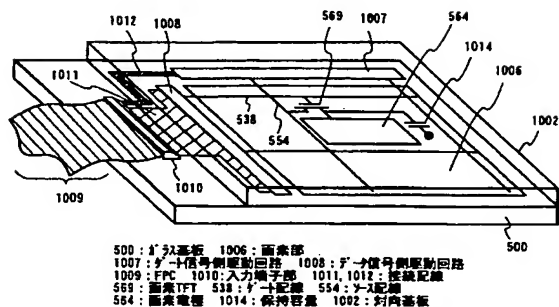
【0091】さらに、本発明を用いた液晶表示装置を作製することによって、前記液晶表示装置を表示部として用いた電気器具の品質および信頼性をも向上させることができる。

【図10】 電気器具の一例を示す図。

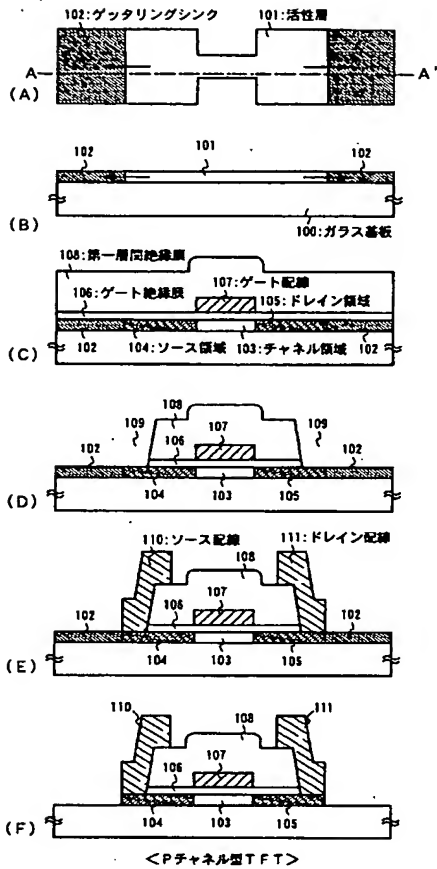
【図 4】



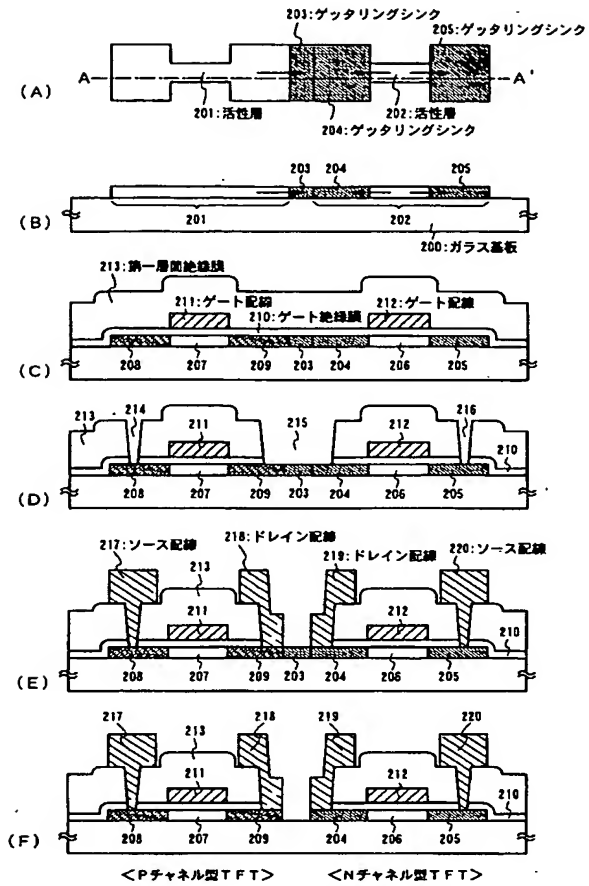
【图9】



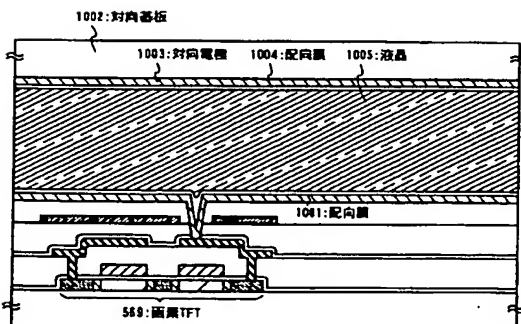
【図 1】



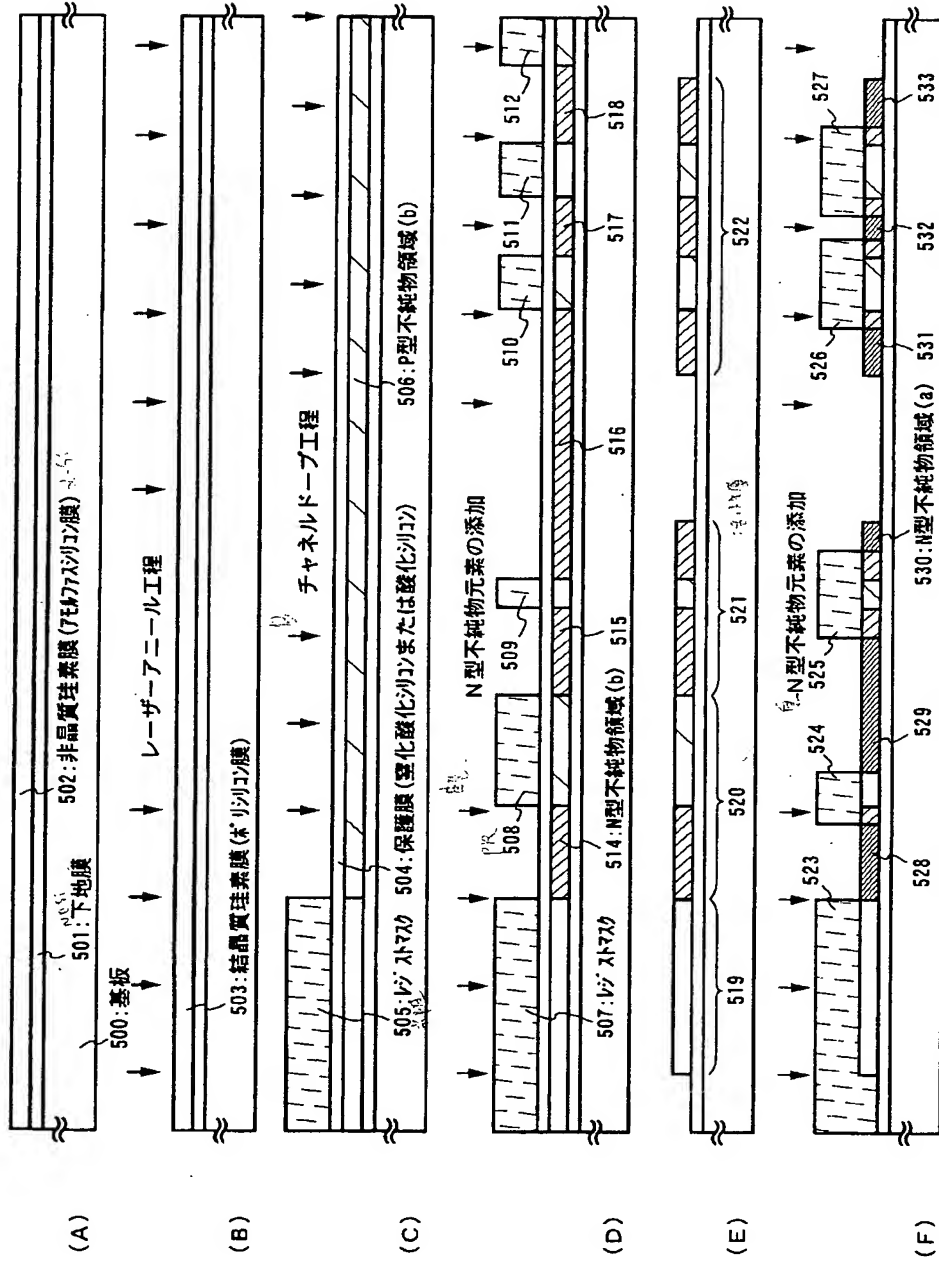
【図 2】



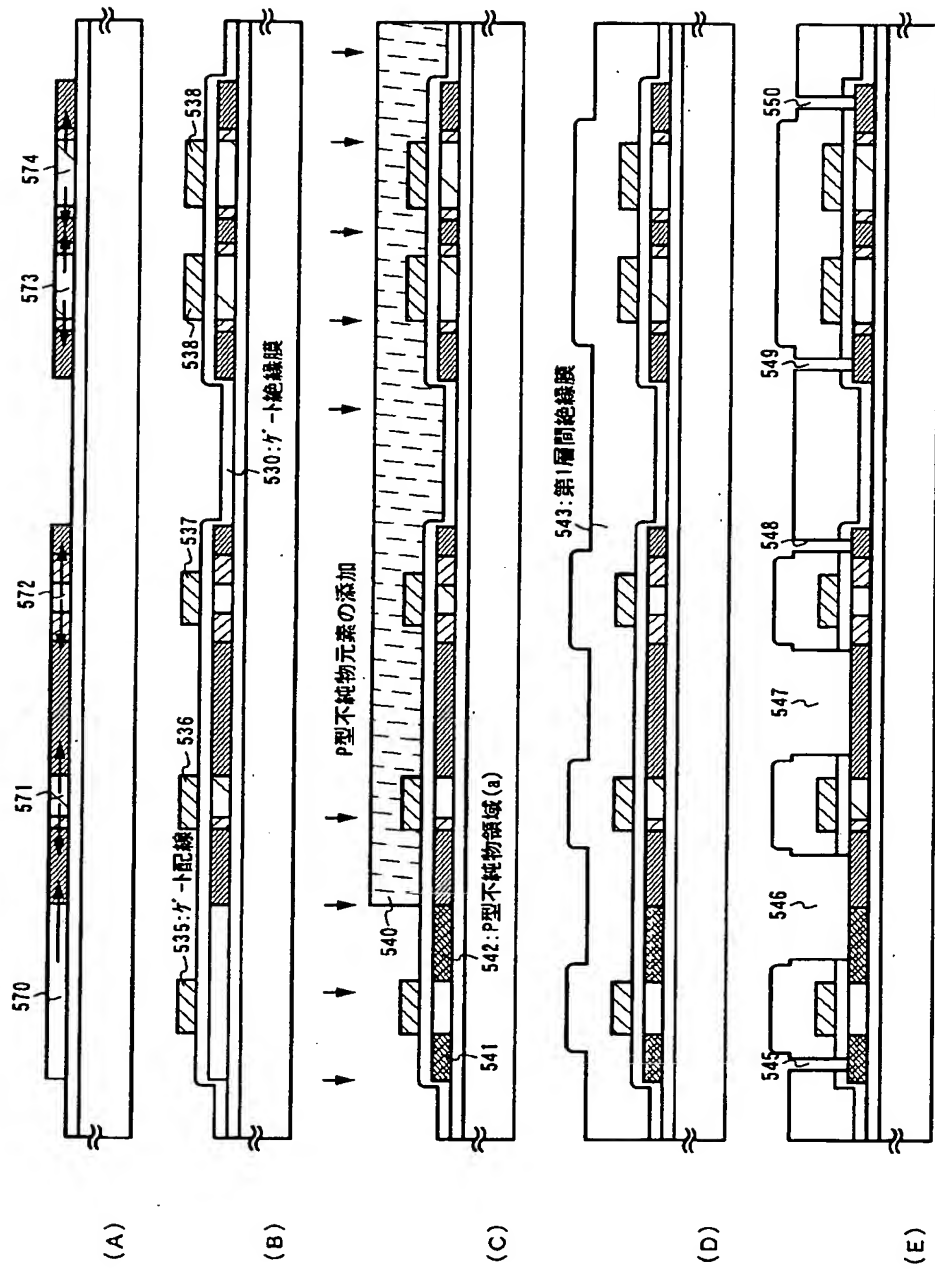
【図 8】



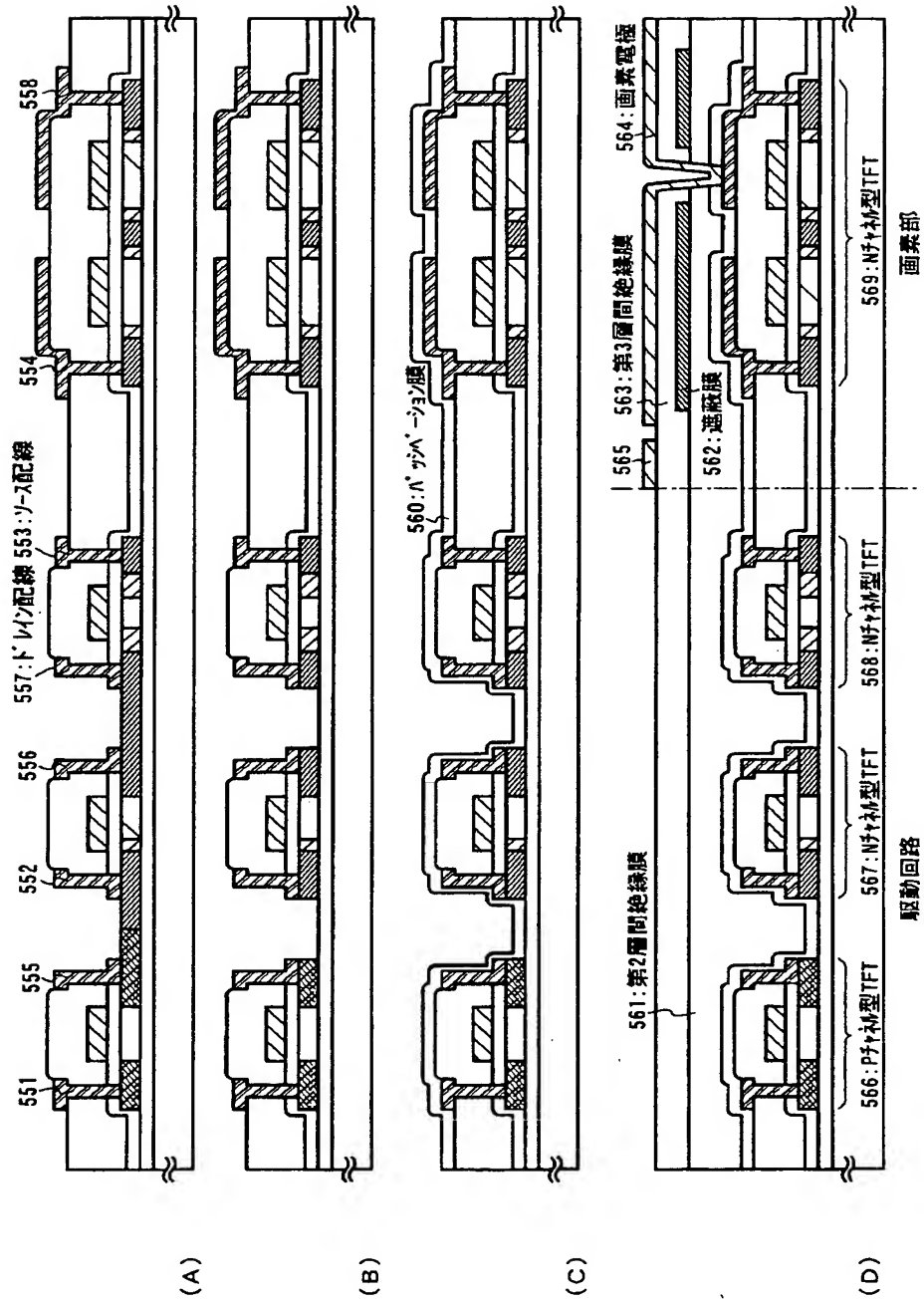
【図5】



【図6】

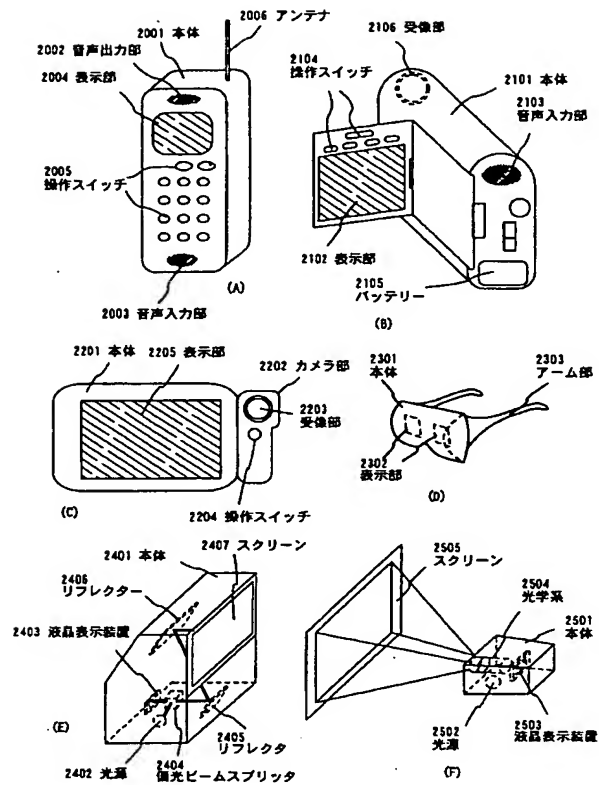


【図7】





【図10】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 21/8238  
27/092  
27/08

識別記号

3 3 1

F I

H 0 1 L 27/08  
29/78

テ-マ-コ-ド (参考)

3 2 1 F  
6 1 6 T  
6 2 7 G

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成17年4月7日(2005.4.7)

【公開番号】特開2001-352073(P2001-352073A)  
 【公開日】平成13年12月21日(2001.12.21)  
 【出願番号】特願2001-91569(P2001-91569)  
 【国際特許分類第7版】

H O 1 L 29/786  
 H O 1 L 21/336  
 H O 1 L 21/20  
 H O 1 L 21/322  
 H O 1 L 21/3205  
 H O 1 L 21/8238  
 H O 1 L 27/092  
 H O 1 L 27/08

【F I】

H O 1 L 29/78 6 2 7 Z  
 H O 1 L 21/20  
 H O 1 L 21/322 R  
 H O 1 L 27/08 3 3 1 E  
 H O 1 L 21/88 Z  
 H O 1 L 27/08 3 2 1 F  
 H O 1 L 29/78 6 1 6 T  
 H O 1 L 29/78 6 2 7 G

【手続補正書】

【提出日】平成16年4月26日(2004.4.26)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

活性層と、ゲート絶縁膜と、ゲート電極とを含むTFT、並びに配線を有する半導体装置において、

前記配線は、前記活性層に接続されており、

前記配線の端面の一部と前記活性層の端面の一部とが揃っていることを特徴とする半導体装置。

【請求項2】

チャネル領域、ソース領域及びドレイン領域を有する活性層と、ゲート絶縁膜と、ゲート電極とを含むTFT、並びに配線を有する半導体装置において、

前記配線は、前記活性層の前記ソース領域または前記ドレイン領域に接続されており、前記配線の端面の一部と前記活性層の端面の一部とが揃っていることを特徴とする半導体装置。

【請求項3】

絶縁表面を有する基板上に珪素を含む非晶質半導体膜を形成する第1の工程と、

前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第2の工程と、

前記触媒元素が添加された前記非晶質半導体膜を結晶化させる第3の工程と、  
前記第3の工程で得られた珪素を含む半導体膜に対して周期表の15族に属する元素を選択的に添加する第4の工程と、  
加熱処理により前記周期表の15族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第5の工程と、  
前記第5の工程の後、前記半導体膜上にソース配線及びドレイン配線を形成する第6の工程と、  
前記ソース配線もしくは前記ドレイン配線をマスクとして、前記半導体膜の前記周期表の15族に属する元素を添加した領域を自己整合的に除去する第7の工程を有することを特徴とする半導体装置の作製方法。

【請求項4】

Pチャネル型薄膜トランジスタを有する半導体装置の作製方法であって、  
絶縁表面を有する基板上に、前記Pチャネル型薄膜トランジスタの活性層となる領域を有し、珪素を含む非晶質半導体膜を形成する第1の工程と、  
前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第2の工程と、  
前記触媒元素が添加された前記非晶質半導体膜を結晶化させる第3の工程と、  
前記第3の工程で得られた珪素を含む半導体膜に対して周期表の15族に属する元素を前記Pチャネル型薄膜トランジスタの活性層となる領域の外側に選択的に添加する第4の工程と、  
加熱処理により前記周期表の15族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第5の工程と、  
前記第5の工程の後、前記半導体膜上にソース配線及びドレイン配線を形成する第6の工程と、  
前記半導体膜の前記周期表の15族に属する元素を添加した領域を、前記ソース配線あるいは前記ドレイン配線をマスクとして自己整合的に除去する第7の工程と、  
を有することを特徴とする半導体装置の作製方法。

【請求項5】

隣り合って形成されたNチャネル型薄膜トランジスタ及びPチャネル型薄膜トランジスタを有する半導体装置の作製方法であって、  
絶縁表面を有する基板上に、前記Nチャネル型薄膜トランジスタの活性層となる領域、前記Pチャネル型薄膜トランジスタの活性層となる領域、及び前記Nチャネル型薄膜トランジスタの活性層となる領域と前記Pチャネル型薄膜トランジスタの活性層となる領域とに挟まれた領域を有する、珪素を含む非晶質半導体膜を形成する第1の工程と、  
前記触媒元素が添加された前記非晶質半導体膜に対して該非晶質半導体膜の結晶化を助長する触媒元素を添加する第2の工程と、  
前記非晶質半導体膜を結晶化させる第3の工程と、  
前記第3の工程で得られた珪素を含む半導体膜に対して周期表の15族に属する元素を選択的に添加する第4の工程と、  
加熱処理により前記周期表の15族に属する元素を添加した領域に前記触媒元素をゲッタリングさせる第5の工程と、  
前記第5の工程の後、前記半導体膜上にゲート絶縁膜を形成する第6の工程と、  
前記ゲート絶縁膜上にゲート配線を形成する第7の工程と、  
前記Nチャネル型薄膜トランジスタ及びPチャネル型薄膜トランジスタの活性層となる領域にそれぞれソース領域、チャンネル領域、ドレイン領域を形成する第8の工程と、  
前記ゲート配線上に層間絶縁膜を形成する第9の工程と、  
前記層間絶縁膜上に前記ソース領域、前記ドレイン領域にそれぞれ接続された配線を形成する第10の工程と、  
前記配線をマスクとして、前記Nチャネル型薄膜トランジスタの活性層となる領域と前記Pチャネル型薄膜トランジスタの活性層となる領域とに挟まれた領域を自己整合的に除去

する第 11 の工程を有し、

前記第 4 の工程において、前記半導体膜の前記周期表の 15 族に属する元素を選択的に添加する領域は、前記 N チャネル型薄膜トランジスタの活性層となる領域と前記 P チャネル型薄膜トランジスタの活性層となる領域とに挟まれた領域、並びに前記 N チャネル型薄膜トランジスタのソース領域及びドレイン領域となる領域であることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 3 乃至請求項 5 のいずれか一において、前記第 3 の工程において、前記珪素を含む半導体膜を加熱した後、レーザー光あるいはランプ光を照射することを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 3 乃至請求項 6 のいずれか一において、前記触媒元素としては Ni、Co、Fe、Pd、Pt、Cu もしくは Au から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 3 または請求項 4 において、前記周期表の 15 族に属する元素として、N、P、As、Sb、もしくは Bi から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 5 において、前記周期表の 15 族に属する元素として、P、As から選ばれた少なくとも一つの元素が用いられることを特徴とする半導体装置の作製方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

さらに、ソース配線 110 およびドレイン配線 111 を形成する (図 1 (E))。ここでソース配線 110 およびドレイン配線 111 をマスクとして自己整合的にゲッタリングシンク 102 をエッチングし除去する (図 1 (F))。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正の内容】

【0045】

次に、結晶質珪素膜 503 に対してレーザーから発する光 (レーザー光) を照射する (図 5 (B))。レーザーとしては、パルス発振型または連続発振型のエキシマレーザーを用いれば良いが、連続発振型のアルゴンレーザーでも良い。または Nd:YAG レーザーもしくは Nd:YVO<sub>4</sub> レーザーの第 2 高調波、第 3 高調波または第 4 高調波を用いても良い。さらに、レーザー光のビーム形状は線状 (長方形状も含む) であっても矩形状であっても構わない。